

第3章 数字电子技术实验

数字电子技术实验的目的熟练掌握中规模数字集成芯片的功能，研究这些集成芯片的应用，通过综合实验实践教学，使学生巩固和运用所学的数字电子技术理论知识和实验技能，掌握一般数字电子系统的分析、组装、调试和设计方法，培养学生的动手能力、综合运用所学理论知识独立分析和解决实际问题的能力，为以后从事有关数字电子系统的设计和研究开发工作打下基础。

本章结合 Proteus 软件对数字电子技术中的实验进行归类，列举了原理验证型实验、创新型实验、设计型实验和综合型实验共 10 个项目，涵盖了数字电子技术中的所有知识点并具有一定的创新性和综合性。

3.1 Proteus 中数字电路常用元件及仪器

在 Proteus 中，元件是按类存放在元件库中，数字电路中常用的元件列在以下几节中，以帮助读者更好更快地找到自己所需的元件。数字电路中的元件一般为集成芯片，此集成芯片的名称如 74LS00 即为元件名称，可以从元件拾取对话框中直接输入元件名称进行查找。对于元件名不太清楚的，可以按大类—子类来逐级查找。

3.1.1 CMOS 4000 系列

打开 Proteus 元件拾取对话框，在元件分类中位于第三的是 CMOS 4000 Series，即 CMOS 4000 系列元件，如图 3-1 所示，属早期生产的 CMOS 器件，在国外已限用，但由于这类器件比较便宜，目前在我们国家使用得还比较多。

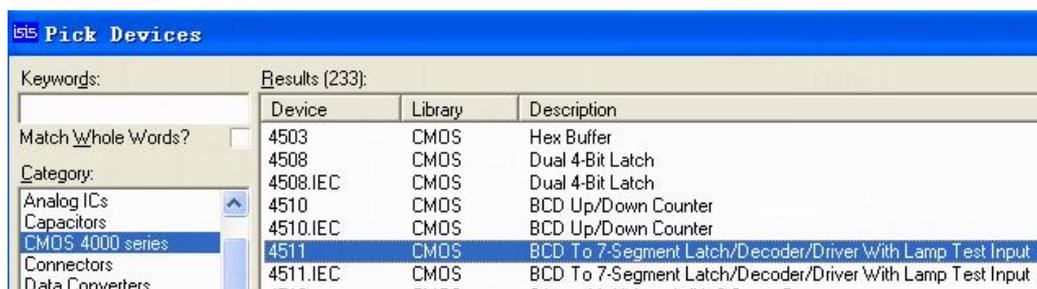


图 3-1 CMOS 4000 系列元件

4000 系列与 74 系列是对应的，比如 4000 系列的 4511 和 74 系列的 7448 对应，都是 BCD 到七段显示译码器，输出高电平有效，如图 3-2 所示。从图中可以看出，除了 4、5 管脚的标识和用法稍有不同外，其他管脚号及标识都一样。它们用来驱动共阴极七段数码显示。但提醒大家注意的是，它们的工作电压和逻辑电平标准并不完全一致。

4000 系列元件的子类划分，如图 3-3 所示，与 74 系列也是对应的，如表 3-1 所示。

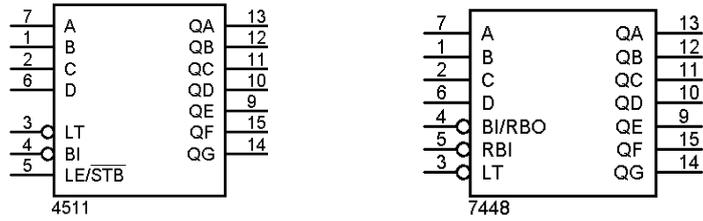


图 3-2 BCD 到七段显示译码器 4511 与 7448

表 3-1 4000 系列元件

名称	含义
Adders	加法器
Buffers & Drivers	缓冲器和驱动器
Comperators	比较器
Counters	计数器
Decoders	译码器
Encoders	编码器
Flip-Flops & Latches	触发器和锁存器
Frequency Dividers & Timers	分频器和定时器
Gates & Inverters	门电路和反相器
Memory	存储器
Misc. Logic	混杂逻辑器件
Multiplexers	选择器
Multivibrators	多谐振荡器
Phase-Locked-Loops (PLL)	锁相环
Registers	寄存器
Signal Switches	信号开关

另外,元件也可按生产厂家来查找,如图 3-3 中的 Fairchild、Miccochip 和 Texas Instruments 都是制造商的名称。



图 3-3 4000 系列元件的子类

3.1.2 TTL 74 系列

TTL 74 系列根据制造工艺的不同又分为如图 3-4 所示的几大类，每一类的元件的子类都相似，比如 7400 和 74LS00 功能一样。

TTL 74 series	74LS107.IEC	74LS	Dual Negative-Edge-Trigg
TTL 74ALS series	74LS109	74LS	Dual J-K Positive-Edge-Tri
TTL 74AS series	74LS109.IEC	74LS	Dual J-K Positive-Edge-Tri
TTL 74F series	74LS11	74LS	Triple 3-Input Positive-ANC
TTL 74HC series	74LS11.DM	74LS	Triple 3-Input Positive-ANC
TTL 74HCT series	74LS11.IEC	74LS	Triple 3-Input Positive-ANC
TTL 74LS series	74LS112	74LS	Dual J-K Negative-Edge-Ti
TTL 74S series	74LS112.IEC	74LS	Dual J-K Negative-Edge-Ti
Sub-category:	74LS113	74LS	Dual Negative-Edge-Trigg
(All Sub-categories)	74LS113.IEC	74LS	Dual Negative-Edge-Trigg
Adders	74LS114	74LS	Dual Negative-Edge-Trigg
Buffers & Drivers	74LS114.IEC	74LS	Dual Negative-Edge-Trigg
Comparators	74LS12	74LS	Triple 3-Input Open-Collect
Counters	74LS12.DM	74LS	Triple 3-Input Open-Collect
Decoders	74LS12.IEC	74LS	Triple 3-Input Open-Collect

图 3-4 TTL 74 系列

由于每一类元件众多，而对于学过数字电子技术的读者来说，对常用的元件功能代号已熟悉，可在元件拾取对话框中的 Keywords 中键入元件名称，采用直接查询的方式比较省时，如图 3-5 所示。

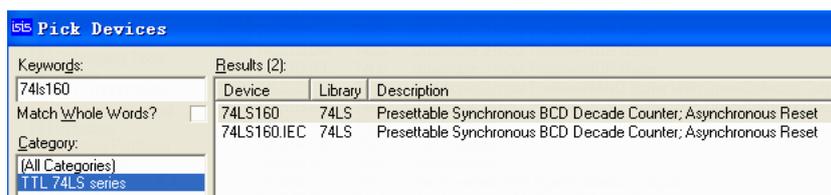


图 3-5 直接拾取元件对话框

3.1.3 数据转换器

数据转换器在 Proteus 元件拾取对话框中的 Data Converters 类中，如图 3-6 所示。常用数据转换器有并行 8 位模数转换器（如 ADC0809）、8 位数模转换器（如 DAC0808）、 $LF \times \times$ 采样保持器、 $MAX \times \times$ 串行数模转换器、 $3\frac{1}{2}$ 位双斜坡 AD 转换器、具有 I²C 接口的小型串行数字湿度传感器 TC74 及具有 SPI 接口的温度传感器 TC72 和 TC77 等，可按子类来查找。

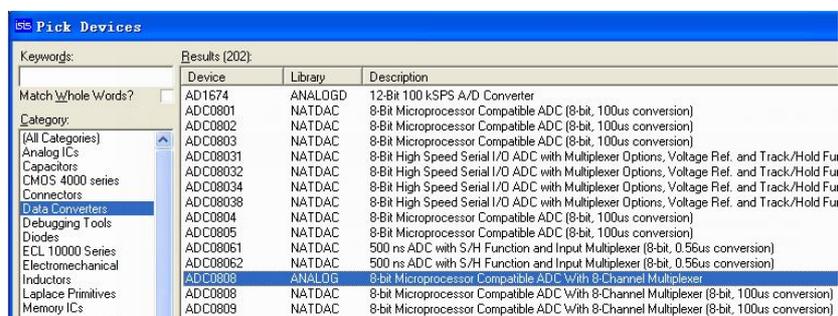


图 3-6 数据转换器类元件拾取对话框

3.1.4 可编程逻辑器件和现场可编程逻辑阵列

可编程逻辑器件及现场可编程逻辑阵列位于 Proteus 元件拾取对话框中的 PLDs & FPGAs 类中，此类元件较少，没有再划分子类，一共有十二个元件，如图 3-7 所示。

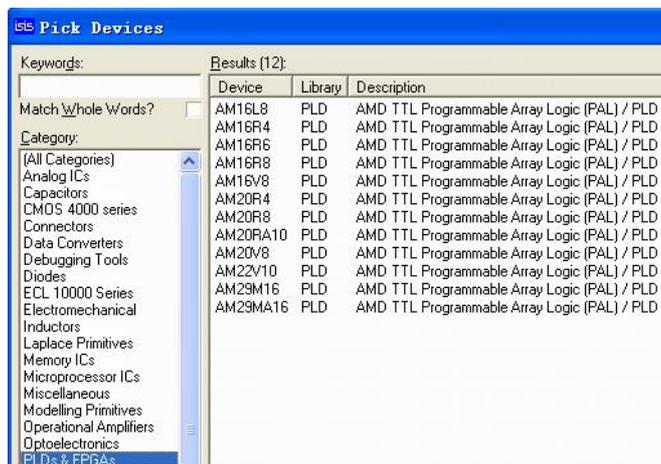


图 3-7 可编程逻辑器件及现场可编程逻辑阵列类元件

3.1.5 显示器件

显示器件在 Proteus 元件拾取对话框中的 Optoelectronics 类中，如图 3-8 所示。

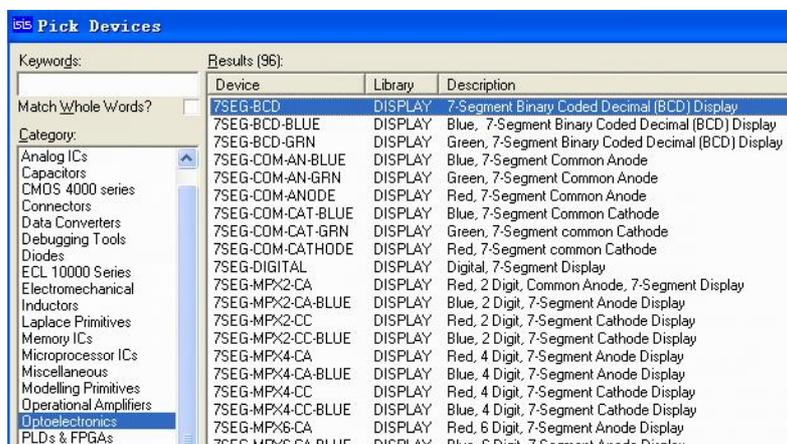


图 3-8 显示器件

常用的七段显示，元件名的前缀为 7SEG-，在用到此类元件时，采取部分查询方法，直接在 Keywords 中输入“7SEG-”即可，根据元件后面的英文说明来选取所需元件。

比如，图 3-8 中右面前三行列举的元件都是七段 BCD 数码显示，输入为 4 位 BCD 码，用时可省去显示译码器；第四、五、六行都是七段共阳极数码管，输入端应接显示译码器 7447。第七、八、九行 3 个数码管都是七段共阴极接法，使用时输入端应用接显示译码器 7448。

我们来仔细看一下显示器件的子类划分，如图 3-9 所示。显示器件共分十类，如表 3-2 所示。

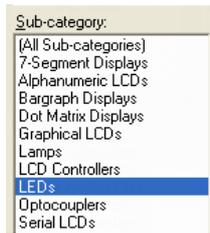


图 3-9 显示器件的子类

表 3-2 显示器件的分类

名称	含义
7-Segment Displays	七段显示
Alphanumeric LCDs	数码液晶显示
Bargraph Displays	条状显示(十位)
Dot Matrix Displays	点阵显示
Graphical LCDs	图形液晶显示
Lamps	灯泡
LCD Controllers	液晶控制器
LEDs	发光二极管
Optocouplers	光电耦合器
Serial LCDs	串行液晶显示器

常用的发光二极管 LEDs 子类中的元件如图 3-10 所示。选用时要用 ACTIVE 库中的元件而不用 DEVICE 库中的元件，在本书中，我们都使用这一规定，ACTIVE 库中的元件是能动画演示的，而 DEVICE 是不能的，但像一般电阻就不需要动画演示，可用 DEVICE 库中的元件。

Results (10):		
Device	Library	Description
DIODE-LED	DEVICE	Generic light emitting diode (LED)
LED	DEVICE	Generic light emitting diode (LED)
LED-BIBY	ACTIVE	Animated Bi-Colour LED model (Blue/Yellow) with Self-flashing
LED-BIGY	ACTIVE	Animated Bi-Colour LED model (Green/Amber) with Self-flashing
LED-BIRG	ACTIVE	Animated Bi-Colour LED model (Red/Green) with Self-flashing
LED-BIRY	ACTIVE	Animated Bi-Colour LED model (Red/Yellow) with Self-flashing
LED-BLUE	ACTIVE	Animated LED model (Blue)
LED-GREEN	ACTIVE	Animated LED model (Green)
LED-RED	ACTIVE	Animated LED model (Red)
LED-YELLOW	ACTIVE	Animated LED model (Yellow)

图 3-10 子类 LEDs 中的器件

Bargraph Displays 条状显示子类中只有两个元件，如图 3-11 所示。主要区别在于颜色不同，这个元件相当于十个 LED 二极管并排放置在一起，管脚号小的一端接高电平，管脚号大的一端接低电平。在多个发光二极管共同使用时，通常用它比较方便。

Results (2):		
Device	Library	Description
LED-BARGRAPH-GRN	DISPLAY	Green LED Bargraph Display
LED-BARGRAPH-RED	DISPLAY	Red LED Bargraph Display

图 3-11 条状显示

3.1.6 调试工具

数字电路分析与设计中常用的调试工具在 Proteus 元件拾取对话框中的 Debugging Tools 类中,一共不到二十个,如图 3-12 所示。其中最常用的是逻辑电平探测器 LOGICPROBE[BIG] (用在电路的输出端)、逻辑状态 LOGICSTATE 和逻辑电平翻转 LOGICTOGGLE (用在电路的输入端)。不妨调出来试试看。

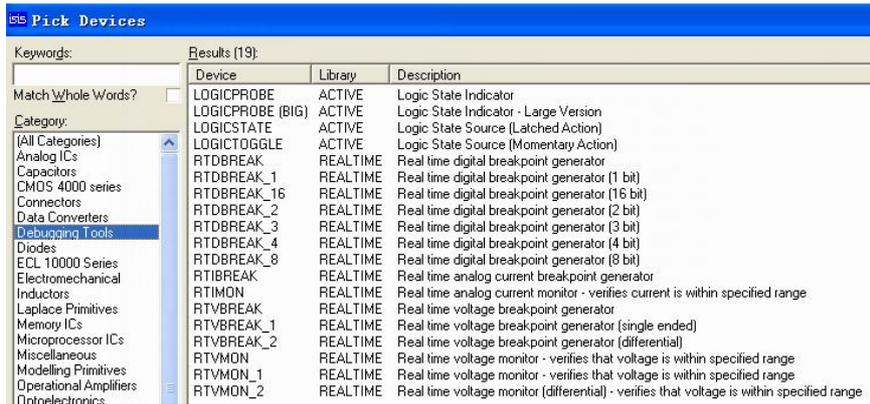


图 3-12 调试工具

上述讲到的显示元件和调试工具的应用例子如图 3-13 所示。

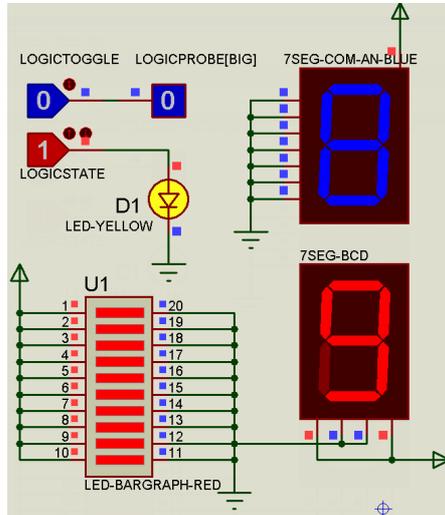


图 3-13 部分元件和调试工具的使用方法

3.2 555 定时器

555 定时器是一个非常有用的模拟数字混合器件,在进行数字逻辑电路设计时经常要用它来组成无稳态或单稳态电路,产生连续或单个脉冲。555 定时器能在宽电源电压范围内工作,

可承受较大的负载电流。双极型 555 定时器的电源电压为 5~16V，最大负载电流为 200mA。CMOS 型 7555 定时器的电源电压为 3~18V，最大负载电流为 4mA。

下面对 555 定时器内部的工作原理及几种应用电路进行详细介绍。

3.2.1 555 定时器的内部构成

555 定时器因其内部有三个 5K 串联电阻而得名。内部仿真原理图见图 3-14，其中 4 端复位未给出。U1 和 U2 为两个模拟器件，接成了电压比较器；U3 和 U4 两个与非门接成了低电平输入有效的锁存器，前面各加上一个反相器，变成了输入高电平有效的锁存器，U5 为反相缓冲器，驱动输出；Q1 为三极管，发射极 1 端应接地，通过控制其基极电位使其工作在导通或关断两个状态。

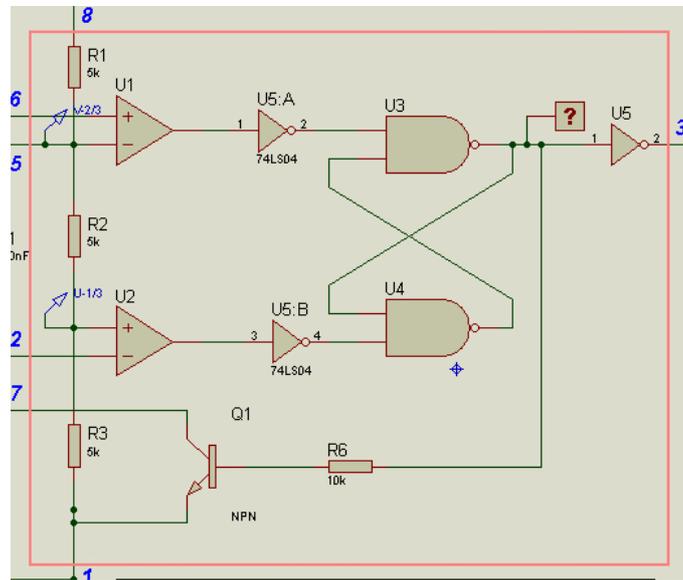


图 3-14 555 定时器的内部仿真原理图

由于理想运放输入端电流可考虑为零，所以三个 5K 电阻串联对 8 端的直流电源 V_{CC} 进行分压，其中 U1 的反相端和 U2 的同相端分别为 $2V_{CC}/3$ 和 $V_{CC}/3$ 。555 定时器的三个输入端与输出端及内部三极管的状态之间的关系如表 3-3 所示。

表 3-3 555 定时器输入输出之间的关系

输入			输出	
复位(4)	$V_{i1}(6)$	$V_{i2}(2)$	$V_o(3)$	Q ₁ 状态
低	x	x	低	导通
高	$>2V_{CC}/3$	$>V_{CC}/3$	低	导通
高	$<2V_{CC}/3$	$>V_{CC}/3$	不变	不变
高	$<2V_{CC}/3$	$<V_{CC}/3$	高	关断
高	$>2V_{CC}/3$	$<V_{CC}/3$	高	关断

3.2.2 555 定时器组成的多谐振荡器

555 定时器外接一个电容充放电电路即可构成一个无稳态多谐振荡器，在 3 端产生方波信号，且频率可调，如图 3-15 所示。

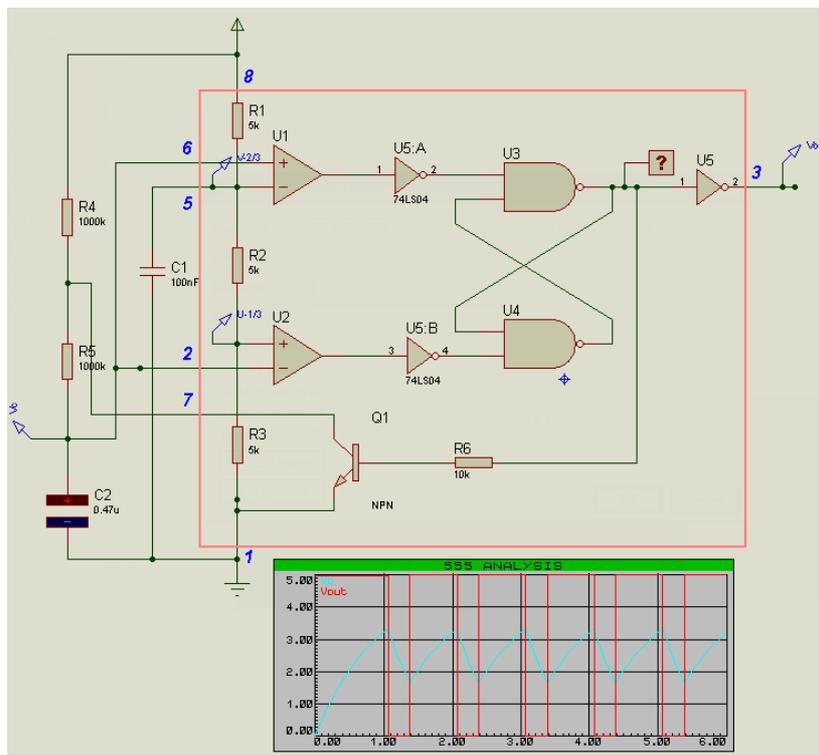


图 3-15 555 定时器构成的多谐振荡器

在 555 定时器的电源 8 端和接地 1 端之间从上到下串接电阻 R4、R5 和电容 C2。把 555 定时器的 6 端和 2 端（即内部两个电压比较器的同相和反相输入端）连在一起，再接到电容 C2 上端，即两个比较器的外部输入电压都取为电容 C2 上的变化量，再与各自的固定电压 $2V_{cc}/3$ 和 $V_{cc}/3$ 比较，触发锁存器，使 Q1 饱和 and 导通。因 7 端接在 R5 上方，此时相当于接地，C2 通过 R5 放电。然后 R4、R5 和 C2 回路再充电，反复进行的结果，将导致 3 端输出方波。

为了观看这种效果，C2 应拾取 CAPACITOR（ACTIVE 库）元件，且在 U5 前放置 LOGICPROBE[BIG]逻辑电平探测器，观察输出电平的变化及与 Q1 导通之间的关系。

下面再放置一个图表分析。

首先应停止仿真。单击左边工具栏内的图表类型按钮 ，在对象选择区 GRAPHS 中选 MIXED（混合）项，如图 3-16 所示。然后在图形编辑区单击拖出一个图表分析框，再次单击确认，如图 3-17 所示。

在图 3-17 中的非标题区，即中间的空白区双击，出现如图 3-18 所示的对话框，可修改图表分析的标题为 555 ANALYSIS。再把横轴的时间长度改为 6 秒。因为本题 555 构成的方波周期为 1 秒，这样可出现 6 个周期，当然也可以再少几个周期。

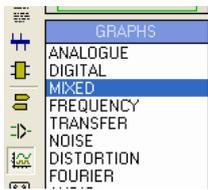


图 3-16 图表类型选择

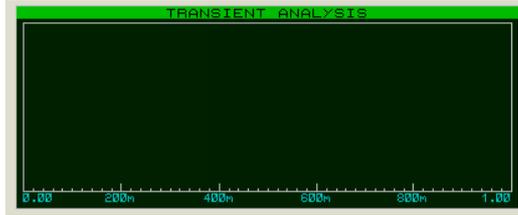


图 3-17 图表分析框

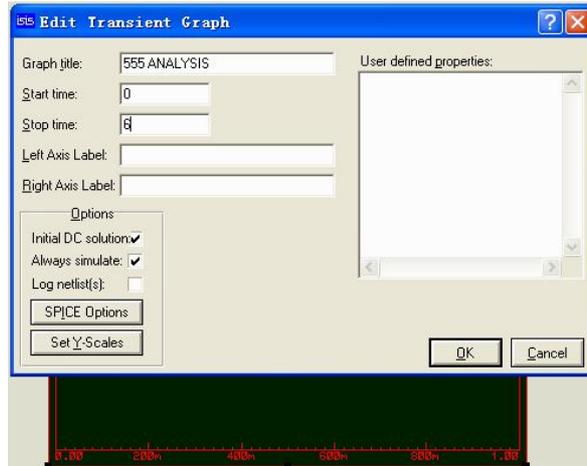


图 3-18 修改标题及横坐标

接下来可在图表框中加入轨迹。添加轨迹的第一步是在被测点加上电压探针。Proteus ISIS 中左侧图标  和  分别为电压和电流探针，这里使用电压探针，即相当于实际万用表的正极性表笔。选中电压探针  后，直接把它接在 555 定时器的 6 端和 3 端，分别命名为 V_c 和 V_{out} 。双击探针名称，然后把它们分别拖入图表分析框。

按 **Space** 空格键即生成相应的波形，而不必单击仿真运行按钮。

移动鼠标指针到图表分析框的标题处，鼠标变成画笔状，双击，出现图表分析的放大画面，可修改它的各项属性，尤其是背景及轨迹的颜色，如图 3-19 所示。

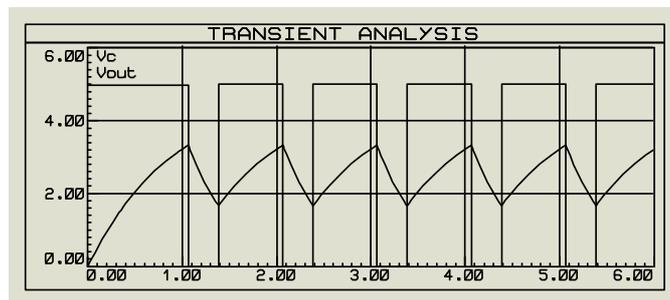


图 3-19 555 定时器的图表分析

555 定时器接成多谐振荡器时的频率计算公式为

$$T_{on} = (R_1 + R_2)C_1 \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} = (R_1 + R_2)C_1 \ln 2$$

$$T_{off} = R_2 C_1 \ln \frac{0 - V_{T+}}{0 - V_{T-}} = R_2 C_1 \ln 2$$

$$T = T_{on} + T_{off} = (2R_2 + R_1) C_1 \ln 2 \approx 0.7(2R_2 + R_1) C_1$$

$$f = \frac{1}{T} = 1.4(2R_2 + R_1) C_1$$

其中， $V_{T-} = \frac{1}{3}V_{CC}$ ， $V_{T+} = \frac{2}{3}V_{CC}$ 。

由此可计算出图 3-15 中的输出频率约为 1Hz。

由集成器件连接而成的频率可调的方波发生器电路如图 3-20 所示。

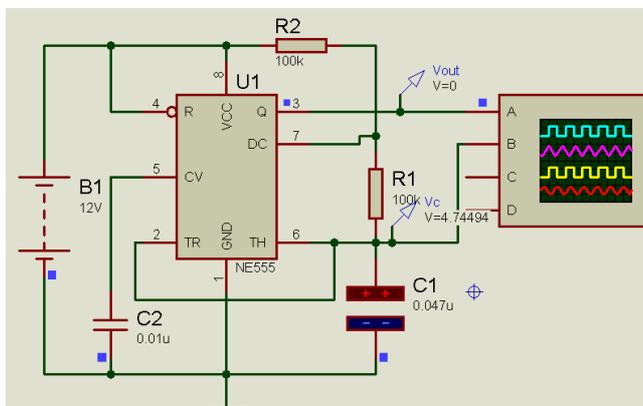


图 3-20 由集成 555 定时器构成的多谐振荡器

3.2.3 555 定时器组成的单稳态电路

555 定时器接成单稳态电路时，通过外部触发可产生单脉冲，且脉冲宽度 T_w 可通过下面式子计算。

$$T_w = R_2 C_1 \ln \frac{V_{CC} - 0}{V_{CC} - \frac{2}{3}V_{CC}} = R_2 C_1 \ln 3 = 1.1R_2 C_1$$

图 3-21 为单稳态电路的仿真图。其中 R1 和按钮组成一个负脉冲发生器，操作时动作尽量为快，这个触发负脉冲的时间要远远小于 T_w 的宽度才能观察到效果。示波器的图形如图 3-22 所示，其中上方的正脉冲为单稳态电路的输出，下方为触发脉冲。

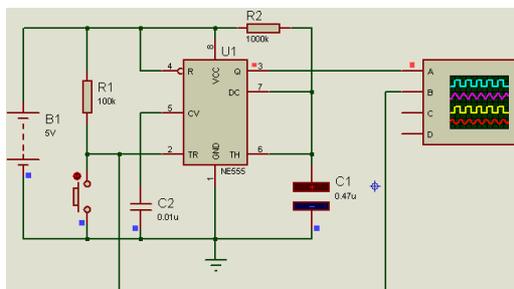


图 3-21 555 构成的单稳态电路

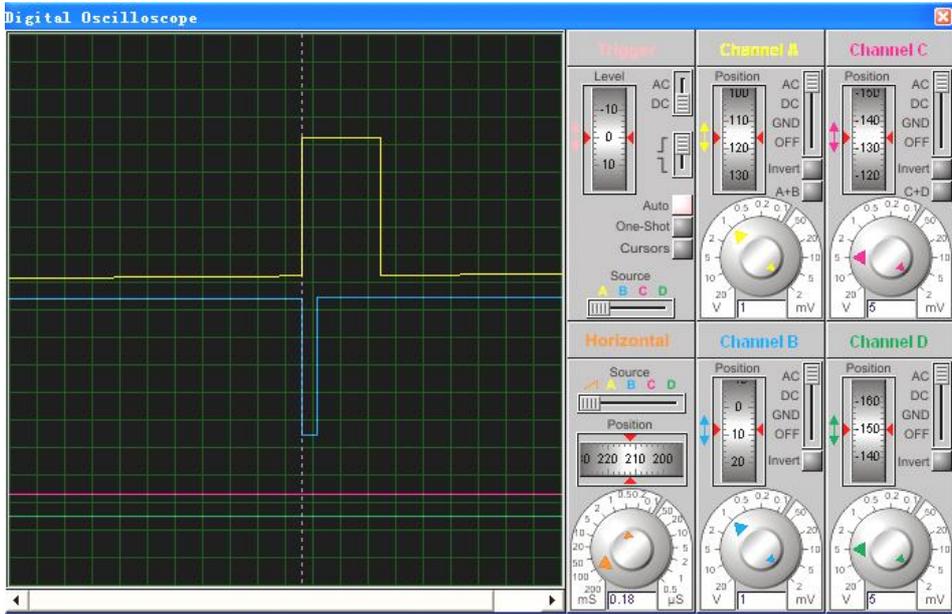


图 3-22 555 构成的单稳态电路示波器波形

3.2.4 555 定时器应用电路

1. 救护车变音警笛电路

图 3-23 所示为模拟救护车变音警笛电路的原理图。图中 U1、U2 都接自激多谐振荡的工作方式。其中，U1 输出的方波信号通过 R5 去控制 U2 的 5 脚电平。当 U1 输出高电平时，由 U2 组成的多谐振荡器电路输出频率较低的一种音频；当 U1 输出低电平时，由 U2 组成的多谐振荡器电路输出频率较高的另一种音频。因此，U2 的振荡频率被 U1 的输出电压调制成为两种音频频率，使喇叭发出“嘀、嘟、嘀、嘟……”的与救护车鸣笛声相似的变音警笛声。改变 R2、C2 的值，可改变滴、嘟的间隔时间；改变 R5、C4 的值，可改变滴、嘟声音的音调。

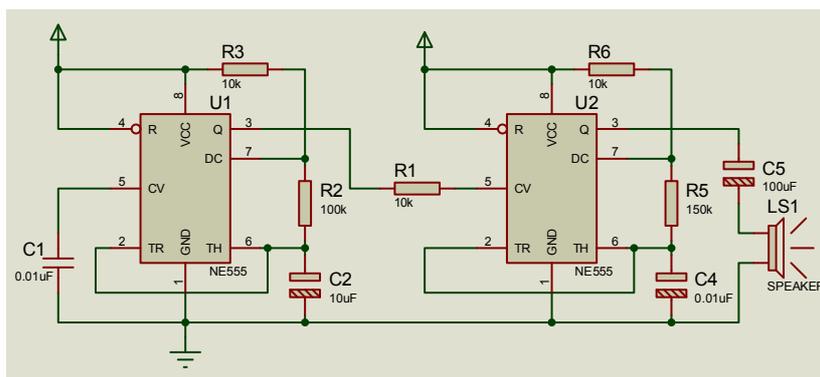


图 3-23 555 构成的救护车变音警笛电路

2. 消防车变音警笛电路

图 3-24 所示为模拟消防车变音警笛电路的原理图。它与救护车变音警笛电路的唯一区别

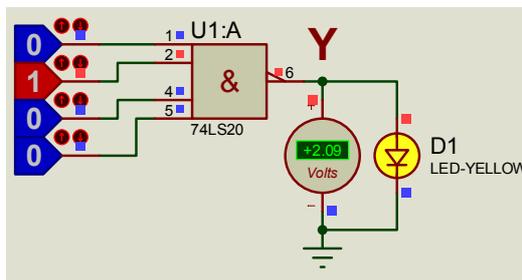


图 3-25 Proteus 中 74LS20 功能测试

Proteus 中所用测试元件清单如表 3-4 所示。

表 3-4 Proteus 元件清单

元件名称	所在大类	所在子类	数量	备注
74LS20	74LS Series	Gates & Inverters	1	四入二与非门
LOGICSTATE	Debugging Tools	-	4	输入逻辑电平
LED	Optoelectronics	LEDs	1	输出显示

2) 将输入端按表 3-5 置位, 分别测输出电压入逻辑状态。

表 3-5 测试真值表

输入				输出	
1	2	4	5	6 (Y)	电压 (V)
H	H	H	H		
L	H	H	H		
L	L	H	H		
L	L	L	H		
L	L	L	L		

(2) 异或门逻辑功能测试。

1) 选二输入四异或门电路 74LS86, 按图 3-26 接线, 输入端 1、2、4、5 接逻辑电平输入, 输出 A、B、Y 接输出电平显示发光二极管。

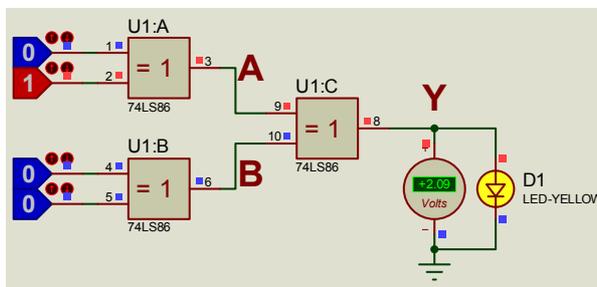


图 3-26 Proteus 中 74LS86 功能测试

2) 将输入电平按表 3-6 置位, 将结果填入表中。

表 3-6 测试真值表

输入				输出			
1	2	4	5	A	B	Y	电压 (V)
L	L	L	L				
H	L	L	L				
H	H	L	L				
H	H	H	L				
H	H	H	H				
L	H	L	H				

(3) 逻辑电路的逻辑关系确定。

用 74LS00 按图 3-27 接线，通过测试，将输入输出逻辑关系填入表 3-7 中。

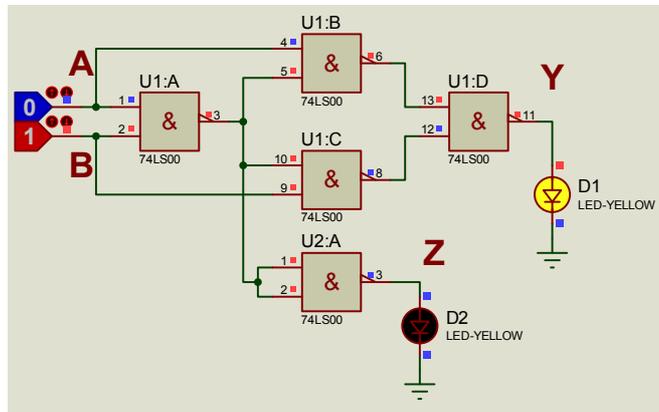


图 3-27 Proteus 中 74LS00 构成的逻辑电路功能测试

图中用了两片 74LS00 二入与非门，其中 U2 用作反相器，可以把两个输入端短接，也可以一个接高平，另外一个当输入端使用。

表 3-7 逻辑关系测试真值表

输入		输出	
A	B	Y	Z
L	L		
L	H		
H	L		
H	H		

5. 实验报告

(1) 按以上各步骤要求填表及画逻辑电路图。

(2) 回答问题：

- 怎样判断门电路逻辑功能是否正常？
- 与非门一个输入连续脉冲，其余端什么状态时允许脉冲通过？什么状态时禁止脉冲通

过（用 Proteus 仿真测试）？

- 异或门又称可控反相门，为什么？（在 Proteus 中测试，异或门的一端接高电平，另一端接可变逻辑电平；异或门的一端接低电平，另一端接可变逻辑电平。分别观察输出与输入的关系）。

3.3.2 译码器和数据选择器

1. 实验目的

- 熟悉集成译码器和数据选择器。
- 了解集成译码器和数据选择器的使用方法。

2. 实验器件

- 74LS139（二线—四线译码器） 1 片
- 74LS153（双四选一数据选择器） 1 片

3. 预习要求

- 复习译码器和数据选择器的工作原理及相应逻辑表达式。
- 熟记 74LS139 和 74LS153 各引脚功能。

4. 实验内容及步骤

（1）译码器逻辑功能测试。将 74LS139 译码器按图 3-28 接线，注意 9 端应接地，16 端接电源。按表 3-8 的输入逻辑电平分别测试，将对应的输出状态填入表中。

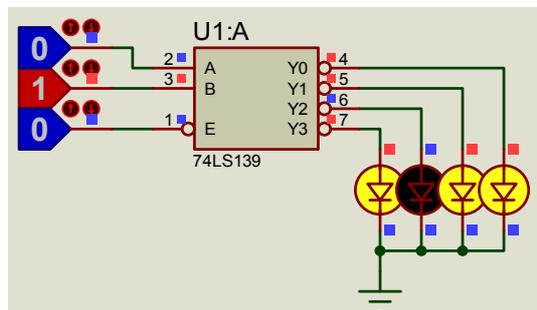


图 3-28 Proteus 中 74LS139 逻辑功能测试

表 3-8 74LS139 逻辑功能测试真值表

输入			输出
使能	选择		
\bar{E}	B	A	$\bar{Y}_0 \bar{Y}_1 \bar{Y}_2 \bar{Y}_3$
H	X	X	
L	L	L	
L	L	H	
L	H	L	
L	H	H	

(2) 译码器扩展。将双二线—四线译码器扩展为三线—八线译码器。

- 1) 画出扩展电路图。
- 2) 在实验台上接线并验证设计是否正确。
- 3) 设计并填写该三线—八线译码器逻辑功能真值表，画出输入、输出波形。

(3) 数据选择器的测试及应用。

- 1) 将双四选一数据选择器 74LS153 按图 3-29 接线，测试其逻辑功能。

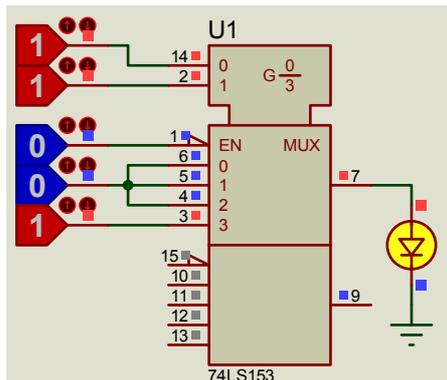


图 3-29 Proteus 中 74LS153 逻辑功能测试

图 3-29 中没有显示电源和地端的接线，其中 8 端为地，16 端为电源。

先使使能端 1 为高电平，按图 3-29 接入逻辑电平，观察输出发光二极管是否亮。再让 1 端为低电平，按照表 3-9 来测试 74LS153 的逻辑功能并填表。

表 3-9 74LS153 的逻辑功能测试真值表

输入							输出
使能	选择		数据				
\overline{EN}	1	0	D0	D1	D2	D3	Y
H	1	1	0	0	0	1	
L	L	L	H	L	L	L	
L	L	H	L	H	L	L	
L	H	L	L	L	H	L	
L	H	H	L	L	L	H	

2) 从实验台脉冲信号源中输出两个不同频率的信号接到数据选择器任意两个数据输入端，分别设置相应的选择端信号，在输出端用示波器观察输出信号是否与被选择的数据输入通道信号一致。

Proteus 中的实验仿真图如图 3-30 所示。其中 D1 设置为 1kHz 为 DCLOCK 信号源，D0 设置为 500Hz 的 DCLOCK 信号源。

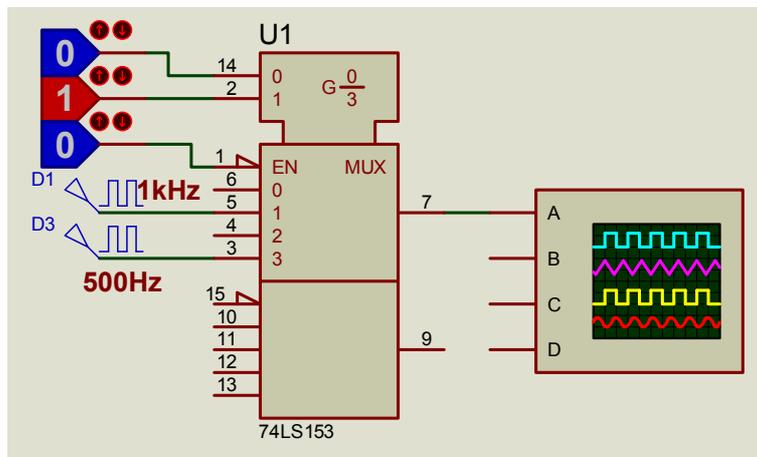


图 3-30 Proteus 中 74LS153 应用电路

3) 分析上述实验结果, 并总结数据选择器的作用。

5. 实验报告

- (1) 画出实验要求的波形图。
- (2) 画出实验步骤(2)要求的接线图。
- (3) 总结译码器和数据选择器的使用体会。

3.3.3 触发器 (FF)

1. 实验目的

- 熟悉并掌握基本 R-SFF 的构成、工作原理和功能测试方法。
- 学会正确使用触发器集成芯片。
- 了解不同逻辑功能 FF 相互转换的方法。

2. 实验器件

- 74LS00 (二输入四与非门) 1 片
- 74LS74 (双 D 触发器) 1 片
- 74LS112 (双 J-K 触发器) 1 片

3. 预习要求

- 复习 D 触发器和 J-K 触发器工作原理及相应逻辑表达式。
- 熟记 74LS74 和 74LS112 各引脚功能。

4. 实验内容及步骤

(1) 基本 R-SFF 功能测试。两个 TTL 与非门首尾相接构成的基本 R-SFF 的电路如图 3-31 所示。

1) 试按下面的顺序在 $\overline{S_d}$ 和 $\overline{R_d}$ 端加信号, 观察并记录输出端 Q 和 \overline{Q} 的状态, 将结果填入表 3-10 中, 并说明上述各输入状态下触发器执行的是什么功能。

2) 当 $\overline{S_d}$ 和 $\overline{R_d}$ 都接低电平时, 观察 Q 和 \overline{Q} 的状态; 当 $\overline{S_d}$ 和 $\overline{R_d}$ 同时由低电平跳为高电平时, 注意观察 Q 和 \overline{Q} 的状态, 重复 3~5 次, 看 Q 和 \overline{Q} 的状态是否相同, 以正确理解“不定”状态的含义。

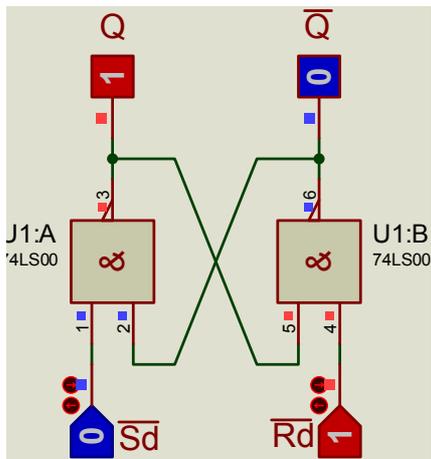


图 3-31 Proteus 中基本 R-SFF 电路

表 3-10 基本 R-SFF 的逻辑功能测试真值表

$\overline{S_d}$	$\overline{R_d}$	Q	\overline{Q}	逻辑功能
0	1			
1	1			
1	0			
1	1			

(2) 维持—阻塞型 D 触发器功能测试。双 D 型正边沿维持—阻塞型触发器 74LS74 的逻辑符号如图 3-32 所示。图中 $\overline{S_d}$ 和 $\overline{R_d}$ 端为异步置位和清零端，CP 为时钟脉冲端。

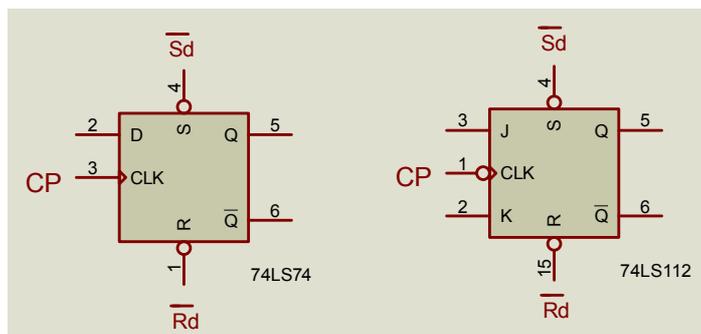


图 3-32 Proteus 中 D 触发器和 J-K 触发器原理图

试按下面的步骤做实验：

- 1) 分别在 $\overline{S_d}$ 和 $\overline{R_d}$ 端加低电平，观察并记录 Q 和 \overline{Q} 端的状态。
- 2) 令 $\overline{S_d}$ 和 $\overline{R_d}$ 端为高电平，D 端分别接高、低电平，用点动脉冲作为 CP，观察并记录当 CP 为低电平、上升沿、高电平和下降沿时 Q 端状态的变化。
- 3) 当 $\overline{S_d} = \overline{R_d} = 1$ ，CP=0（或 CP=1）时，改变 D 端信号，观察 Q 端的状态是否变化。

表 3-11 74LS74 逻辑功能测试真值表

$\overline{S_d}$	$\overline{R_d}$	CP	D	Q^n	Q^{n+1}
0	1	X	X	0	
				1	
1	0	X	X	0	
				1	
1	0	↑	0	0	
				1	
1	1	↑	1	0	
				1	
1	1	0(1)	X	0	
				1	

整理上述实验数据，将结果填入表 3-11 中。注意 Q^n 和 Q^{n+1} 是一个输出端不同时刻的两个状态。

4) 令 $\overline{S_d} = \overline{R_d} = 1$ ，将 D 和 \overline{Q} 相连，CP 加连续脉冲，用双踪示波器观察并记录 Q 相对于 CP 的波形。

(3) 负边沿 J-K 触发器功能测试。双 J-K 负边沿触发器 74LS112 的逻辑符号如图 3-32 所示。自拟实验步骤，测试其逻辑功能，并将结果填入表 3-12 中。若 $J=K=1$ 时，CP 端加连续脉冲，用双踪示波器观察 Q-CP 波形，与 D 触发器的 D 端和 \overline{Q} 相连时观察到的波形相比较，有何异同点？

表 3-12 74LS112 逻辑功能测试真值表

$\overline{S_d}$	$\overline{R_d}$	CP	J	K	Q^n	Q^{n+1}
0	1	X	X	X	X	
1	0	X	X	X	X	
1	0	↓	0	X	0	
1	1	↓	1	X	0	
1	1	↓	X	0	1	
1	1	↓	X	1	1	

(4) 触发器功能转换。

- 1) 将 D 触发器和 J-K 触发器转换成 T 触发器，列出表达式并画出实验电路图。
- 2) 接入连续脉冲，观察各触发器 CP 及 Q 端波形，比较两者关系。
- 3) 自拟实验数据表并填写。

5. 实验报告。

- (1) 整理实验数据并填表。
- (2) 写出实验内容(3)、(4)的实验步骤及表达式。
- (3) 画出实验(4)的电路图及相应表格。
- (4) 总结各类触发器特点。

3.3.4 移位寄存器的功能测试

1. 实验目的

- 掌握移位寄存器的工作原理及电路组成。
- 测试集成芯片 74LS194 四位双向移位寄存器的逻辑功能。

2. 实验器件

- 74LS74 (六 D 触发器) 2 片
- 74LS194 (四位双向移位寄存器) 1 片

3. 预习要求

- 复习移位寄存器的工作原理。
- 熟记 74LS194 各引脚功能。

4. 实验内容及步骤

(1) 由 D 触发器构成的单向移位寄存器。

1) 右向移位寄存器。按图 3-33 接线。CLK 接单脉冲, \bar{S} 、 \bar{R} 、D 端接相应电平, 用同步清零法或异步清零法清零。清零后应将 \bar{S} 和 \bar{R} 置高电平。将 D_i 置高电平并输入一个时钟脉冲, 然后将 D 置低电平, 再输入 3 个时钟脉冲, 此时已把 1000 串行送入的寄存器, 并完成数码 1 的右移过程。每输入一个时钟脉冲, 同时观察 Q0~Q3 的状态显示, 并将结果填入表 3-13 中。

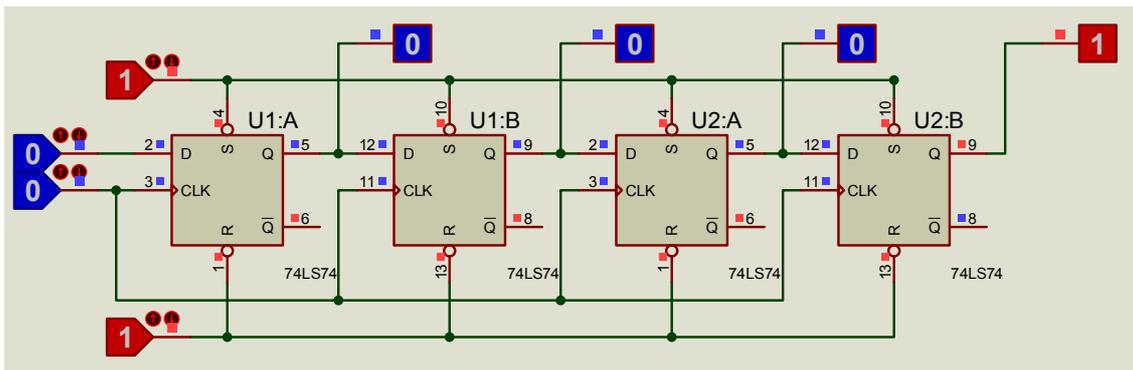


图 3-33 Proteus 中 D 触发器构成的右移寄存器

在 Proteus 仿真中, 用逻辑状态来代替单脉冲。先把四个 D 触发器的异步端都接高电平, 移位寄存器的数据输入端 D 设为 1, 运行仿真, 点击时钟上所接的逻辑状态, 使 0 变为 1 (即来一个上升沿), 看到 Q0 输出为 1, 其他输出为 0, 然后把输入端 D 设为 0, 双击时钟上逻辑状态三次, 即出现如图 3-33 所示的结果。

表 3-13 右移寄存器功能表

CP	D	Q0	Q1	Q2	Q3
0	0	0	0	0	0
1	1				
2	0				
3	0				
4	0				

2) 左向移位寄存器。按照右向移位寄存器的工作原理, 请自行设计左向移位寄存器电路并接线实验, 并将结果填入自拟定的表中。请同学们在预习时先用 Proteus 仿真, 然后再进行实验。

(2) 测试 74LS194 的逻辑功能。

1) 将 74LS194 插入实验装置上 16 脚集成插座中, 注意方向, 并锁紧。

2) 按图 3-34 接线, 测试其逻辑功能。

在实验台上实验时, CLK 接单脉冲, 在 Proteus 中仿真时, 所有输入端均接逻辑状态输入。根据工作方式 S1S0 的不同取值, 双击 CLK, 使其产生一个上升沿, 观察输出指示是否与预想的效果一致。

S1S0=00 时, 其他输入端可以为任意值, 给时钟一个上升沿, 观察输出的变化;

S1S0=01 时, 令 SR=1, SL=0, 给时钟四个上升沿, 观察输出的变化;

S1S0=10 时, 检查使 SR=1, SL=0, 给时钟四个上升沿, 观察输出的变化;

S1S0=11 时, 使 D0D1D2D3=0110, 给时钟一个上升沿, 观察输出的变化。

3) 根据上述实验, 自己拟定表格, 填写 74LS194 的逻辑功能表。

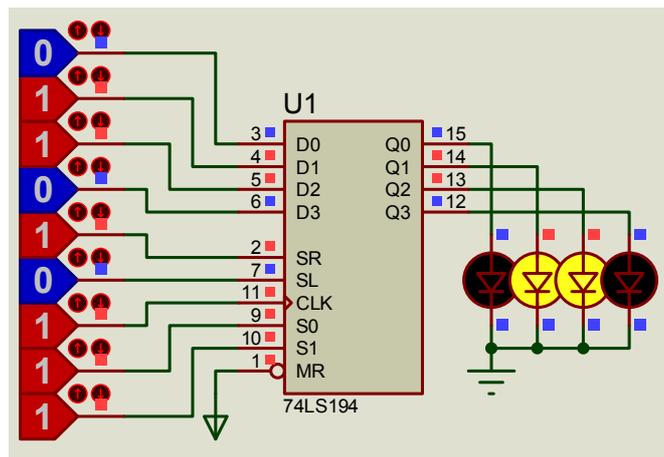


图 3-34 Proteus 中 74LS194 的逻辑功能测试

(3) 设计一个由两片 74LS194 组成的八位双向移位寄存器, 在 Proteus 中画出原理图, 并进行仿真, 测试其逻辑功能。在实验台上进行连接并验证。

3.4 设计型实验

3.4.1 血型关系检测和表决电路

1. 实验目的

了解和掌握组合逻辑电路的设计方法。

2. 预习要求

- 复习组合逻辑电路的设计方法。
- 根据任务要求，设计任务（1）、（2）、（3）中的逻辑电路，拟定实验步骤。
- 写出预习报告。

3. 实验任务

（1）血型关系检测电路。人类有四种基本血型：A、B、AB、O 型。输血者与受血者的血型必须符合下列原则：

- O 型血可以输给任意血型的人，但 O 型血的人只能接受 O 型血。
- AB 型血只能输给 AB 血型的人，但 AB 血型的人能接受所有血型的血。
- A 型血能输出给 A 型血和 AB 型血的人，而 A 型血的人只能接受 A 型和 O 型血。
- B 型血能输出给 B 型血和 AB 型血的人，而 B 型血的人只能接受 B 型和 O 型血。

试用与非门设计一个检验输血者血型是否符合规定的逻辑电路，如果输血者与受血者血型符合规定，电路输出高电平，否则为低电平。

提示：电路的输入分两部分：一部分是输血者的血型，一部分是受血者的血型。四种血型可考虑采用编码形式以节省输入端个数。无论是输血方还是受血方，约定的编码对同一种血型应一致。因电路采用与非—与非逻辑，卡诺图化简时可采用圈 0 求 \bar{Y} ，再求反的方法比较简单。设计完成后在 Proteus 中仿真以验证所设计电路的正确性。

（2）裁判表决电路。在举重比赛中，有三个裁判员，其中一个主裁判。当裁判员认为杠铃已举上时就按一下自己面前的按钮，只有在两个以上的裁判员（其中一个必须是主裁判）按下按钮时，指示灯才亮，表示有效，试设计一个表决电路实现以上逻辑功能。设计完成后，先在 Proteus 中仿真以验证所设计电路的正确性。

（3）设计一个三个开关放在不同地点控制同盏灯的逻辑电路，奇数个开关合上，灯亮，偶数个开关合上，灯灭。

4. 实验设备与器材

- 数字电路实验台
- 万用表
- 74LS00 2 片

5. 实验报告要求

写出设计过程，画出逻辑电路，并写出验证过程和体会。

3.4.2 时序电路

1. 实验目的

- 掌握常用时序电路分析、设计及测试方法。

- 训练学生独立组织实施实验的技能。
- 2. 实验器件
 - 74LS73 (双 J-K 触发器) 2 片
 - 74LS174 (六 D 触发器) 1 片
 - 74LS00 (二输入四与非门) 1 片
- 3. 预习要求
 - 复习异步二进制加减计数器的连接方法。
 - 熟记 74LS73 和 74LS174 各引脚功能。
- 4. 实验内容及步骤

(1) 异步二进制计数器。

1) 按图 3-35 接线, 注意 J、K 端一定要接高电平, 不要悬空。Proteus 中元件清单如表 3-14 所示。

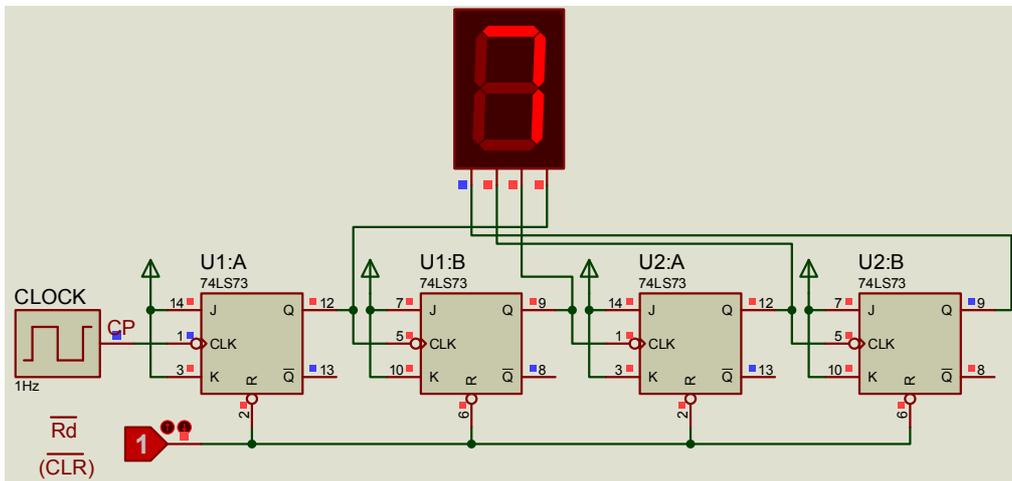


图 3-35 Proteus 中异步四位二进制加计数器仿真图

表 3-14 Proteus 元件清单

元件名称	所在大类	所在子类	数量	备注
74LS73	74LS series	Flip-Flops & Latches	4	双 J-K 触发器
LOGICSTATE	Debugging Tools	-	1	输入逻辑电平
7SEG-BCD	Optoelectronics	7-Segment Displays	1	七段数码显示
CLOCK	Simulator Primitives	Sources	1	时钟

- 2) 由 CP 端输入单脉冲, 测试并记录 Q1 (最左) ~Q4 端状态及波形。
 - 3) 由 CP 端输入连续脉冲 (1Hz), 输出接数码显示, 观察计数值的变化。
 - 4) 试将此异步二进制加法计数器改接为减法计数器, 重复以上两步骤, 并做好实验记录。
- (2) 异步二—十进制加法计数器。
- 1) 按图 3-36 接线, CP 端接连续脉冲, 观察计数值的变化。

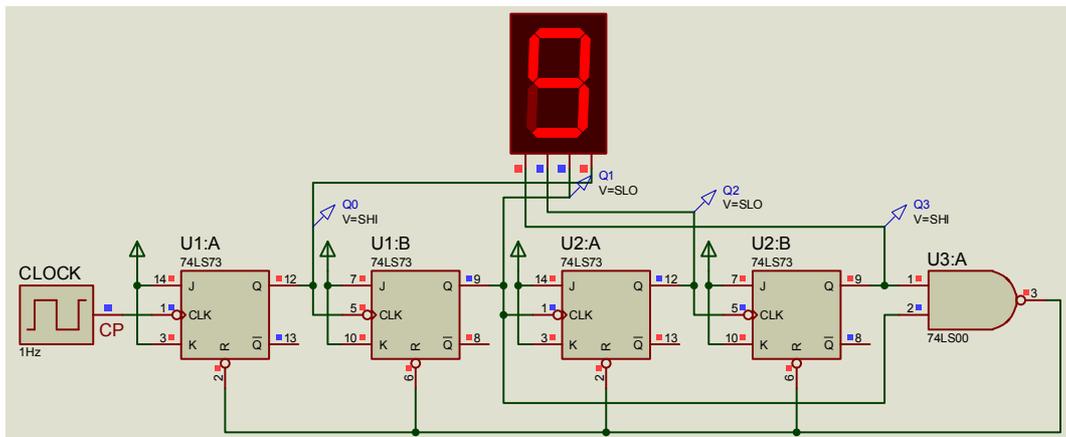


图 3-36 Proteus 中异步十进制加法计数器仿真图

2) 画出输出波形。在 Proteus 中利用图表仿真功能可以自动生成输出波形。

单击左边工具栏内的图表类型按钮 , 在对象选择区 GRAPHS 中选 DIGITAL(数字波形)项, 然后在图形编辑区点击鼠标左键拖出一个图表分析框, 再次单击确认。

双击图表框空白区, 出现其属性修改对话框, 把横轴的长度改为 10 (缺省为秒)。因为本题时钟周期为 1 秒, 这样可出现 10 个周期。

在希望产生波形的电路中各点加上电压探针。选中工具栏中的电压探针 , 分别把它接在 Q0、Q1、Q2、Q3 (图 3-35 中自左至右), 分别命名为 Q0、Q1、Q2、Q3, 如图 3-36 所示。双击探针名称, 然后把它们分别拖入图表分析框。

按 Space 空格键即生成相应的波形, 如图 3-37 所示。

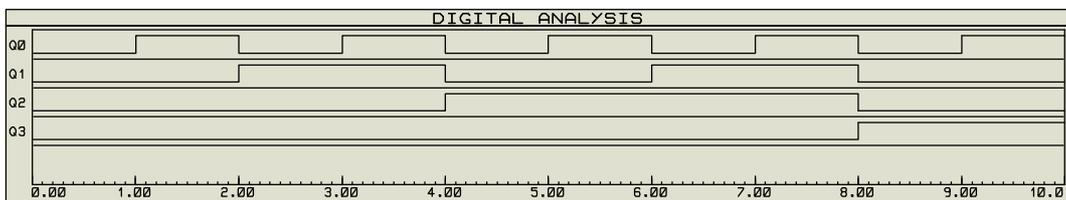


图 3-37 Proteus 中异步十进制加法计数器的图表仿真

3) 把图 3-36 改成异步十进制减法计数器, 在 Proteus 中仿真并生成波形图。

5. 实验报告

- (1) 画出实验内容要求的时序波形并记录表格。
- (2) 总结时序电路的特点。

3.4.3 集成计数器

1. 实验目的

- 熟悉集成计数器的逻辑功能和各控制端的作用。
- 掌握计数器的使用方法。

2. 实验器件

- 74LS90 (二、五、十进制计数器) 2 片

- 74LS00 (二输入四与非门) 1 片

3. 预习要求

- 复习 74LS90 计数器的工作原理。
- 熟记 74LS90 各引脚功能及功能表。

4. 实验内容及步骤

(1) 74LS90 的功能测试。74LS90 是二、五、十进制异步计数器，逻辑简图如图 3-38 所示。

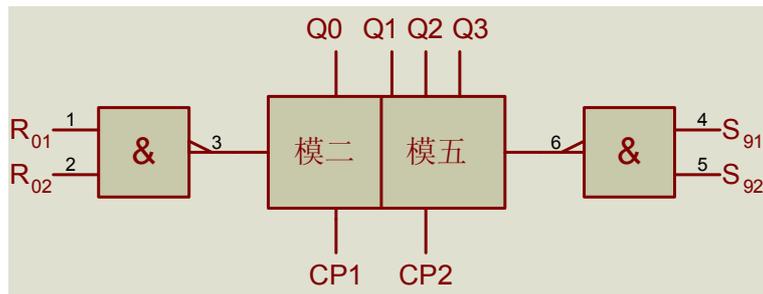


图 3-38 74LS90 简化逻辑图

74LS90 具有以下功能：

- 1) 直接清零 (R_{01} 和 R_{02} 同时为高电平)，直接置 9 (S_{91} 和 S_{92} 同时为高电平)。
- 2) 一位二进制计数器 (只使用模二模块，即 CP1 作外部时钟，Q0 为输出)。
- 3) 五进制计数器 (只使用模五模块，即 CP2 作外部时钟，Q3、Q2、Q1 为输出)。
- 4) 十进制计数器 (把模二和模五模块通过 CP2 和 Q0 连接起来，CP1 作外部时钟，Q3、Q2、Q1、Q0 为输出)。74LS90 作为十进制计数器时有两种接法，如图 3-39 所示。

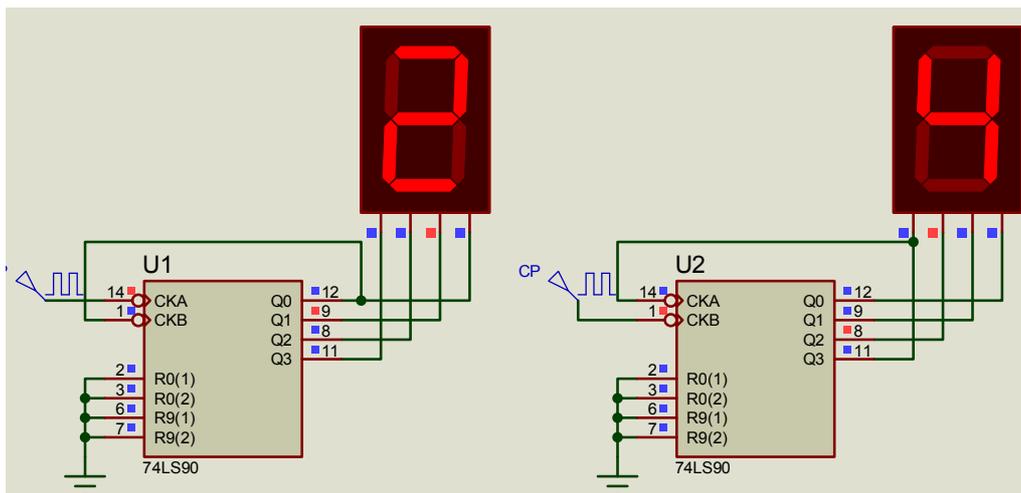


图 3-39 74LS90 两种十进制接线图

按芯片引脚图测试 74LS90 的逻辑功能并填入表 3-15 中。

表 3-15 74LS90 逻辑功能表

R ₀₁	R ₀₁	S ₉₁	S ₉₂	Q3	Q2	Q1	Q0
H	H	L	X				
H	H	X	L				
L	X	H	H				
X	L	H	H				
X	L	X	L				
L	X	L	X				
L	X	X	L				
X	L	L	X				

图 3-39 中，左图计数从 0~9，右图又叫双五进制计数器，计数先是 0、2、4、6、8 再为 1、3、5、7、9。请同学们在 Proteus 中仿真并自己分析原因。

按图 3-39 接线，使用单脉冲或连续脉冲（频率为 1Hz）进行实验，并把表 3-16 填写完整。

表 3-16 74LS90 十进制计数器逻辑功能表

十进制		双五进制							
计数	输出				计数	输出			
	Q3	Q2	Q1	Q0		Q3	Q2	Q1	Q0
0					0				
1					1				
2					2				
3					3				
4					4				
5					5				
6					6				
7					7				
8					8				
9					9				

(2) 计数器连接。分别用两片 74LS90 计数器级连接成两位五进制、十进制计数器。在 Proteus 中画出电路原理图并仿真，验证设计的正确性。

(3) 任意进制计数器设计。

1) 用一片 74LS90 和一片 74LS00 设计一个任意进制计数器（6、7、8、9），并接线验证。可以用清零法或置 9 法。图 3-40 是一个用清零法和置 9 法在 Proteus 中设计的六进制计数器，请同学们模仿并设计自己的计数器。

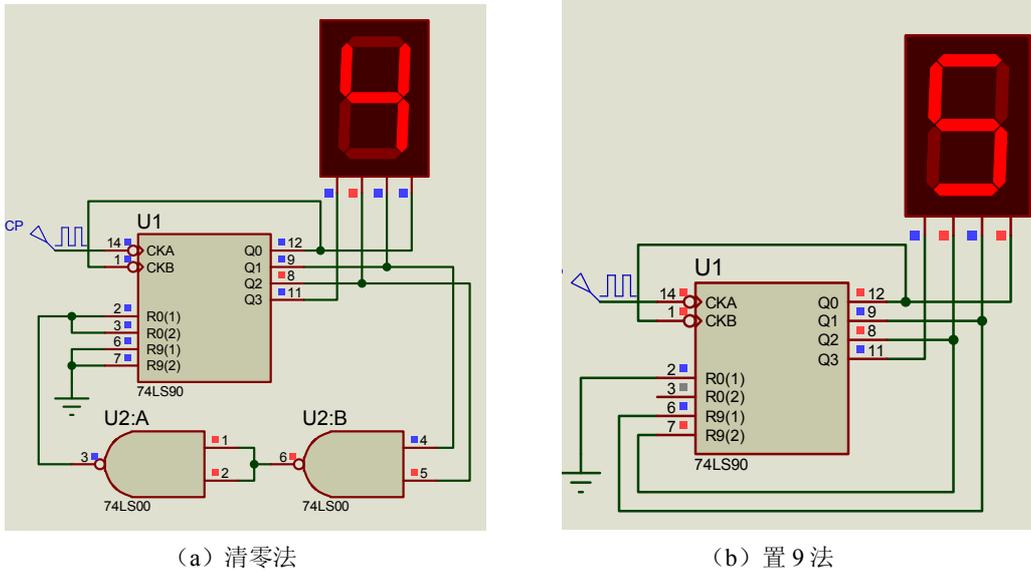


图 3-40 Proteus 中 74LS90 设计的六进制计数器

2) 用两片 74LS90 和一片 74LS00 设计一个四十五进制计数器，并接线验证。

如图 3-41 所示为在 Proteus 中用清零法设计的五十四进制计数器原理图，采用异步连接，请同学们分析并设计四十五进制或其他进制（11~99）计数器。

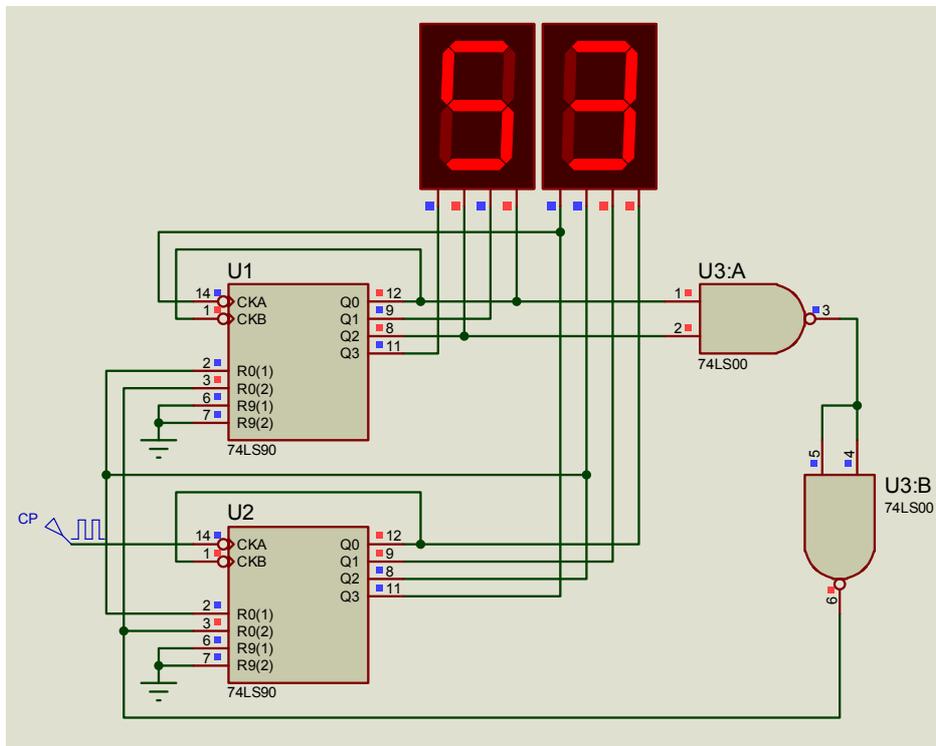


图 3-41 Proteus 中用 74LS90 设计的五十四进制计数器

5. 实验报告

- (1) 整理实验内容和各实验数据。
- (2) 画出实验内容(2)、(3)所要求的电路图并填写相关表格。
- (3) 总结计数器的使用特点。

3.5 创新型实验

3.5.1 投票表决系统设计与仿真

1. 实验目的

- 掌握加法器和显示译码器的使用。
- 掌握 Proteus 层次原理图的设计。

2. 预习要求

- 复习半加器和全加器电路原理以及四位并行加法器的工作原理。
- 学习 Proteus 中层次原理图的基本设计方法。
- 写出预习报告。

3. 实验任务

在 Proteus 中设计一个有六人参与的投票表决系统：每人手持一个开关，可以先择“**Yes**”、“**No**”和“**弃权**”。投票系统能自动统计并显示选择“**Yes**”的人数和选择“**No**”人数。设计电路原理图并仿真。

4. 实验步骤

(1) 设计分析。每人一个三位开关，共六个。因为开关为布尔量，不能输入到四位并行加法器（有权值），只能进一位二进制加法器，为了使用尽可能少的加法器，使用全加器，每个全加器的 A、B 及 CI 都可作为在独立的输入，之间没有权值关系。把前三人的赞同选择开关接到第一个全加器的输入端，把后三个人的赞同选择开关接到第二个全加器的输入端。把六个人的反对选择开关分别接到第三和第四个全加器的输入端。弃权开关什么也不连接，即不作加法计算。

每个全加器的输出 S 和 CO 都具有 2^1 权值关系，可以作为四位并行加法器的输入。前两个全加器的结果进第一个四位并行加法器，后两个全加器的结果进第二个四位并行加法器。四位并行加法器的输入高两位不用，接地，即为 0。故第一个并行加法器加出来的结果为赞同票，第二个并行加法器加出来的结果为反对票。

两个四位并行加法器的输出分别接 74LS47，即低电平有效的 BCD 到七段显示译码器，显示译码器的输入端高位 D 接地。因为无论赞成或反对票都不会超过 6，故显示译码输入最大为 0110。

(2) 电路设计。在 Proteus 中画出电路原理图。全加器的输入端为了得到可靠的电平，必须在每个一开关两端接适当的电阻值，并接电源和地。接地电阻为 $10k\Omega$ ，共 12 个，接电源电阻为 500Ω ，只有一个。Proteus 中系统元件清单如表 3-17 所示。

表 3-17 Proteus 中系统元件清单

元件名称	所在大类	所在子类	数量	备注
SW-ROT-3	Switches and relays	Switches	6	三位开关
74LS283	74LS Series	Adders	2	四位并行加法器
74LS47	74LS Series	Decoders & Encoders	2	显示译码器
7SEG-COM-ANODE	Optoelectronics	7-Segment Displays	2	共阳极数码显示
74LS138	74LS Series	Adders	4	全加器
RES	Resistors	Generic	13	电阻 500(1),1k(12)

(3) 层次原理图设计。在 Proteus 中发现全加器 74LS138 没有仿真模型。为此, 利用层次原理图的设计方法, 设计一个全加器 74LS138'。

在 Proteus 中单击子电路模式图标  Subcircuit Mode, 在图形编辑区拖出一个大小合适的矩形, 并命名。在对象选择器中选择 INPUT, 并在矩形框的左边框线上单击三次, 生成三个输入端。然后在对象选择器中选择 OUTPUT, 并在矩形框的右边单击两次, 生成两个输出端。分别双击这些端子, 对其进行命名, 生成全加器的父电路, 如图 3-42 所示。

右击图 3-42 中全加器的矩形空白区, 出现右键菜单, 选择 Goto Child Sheet, 即转到全加器的子电路, 此时自动打开一个新的绘图画面, 按图 3-43 画好全加器的子电路, 使输入与输出的引脚名与父电路保持完全一致。

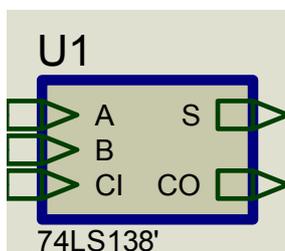


图 3-42 全加器的父电路

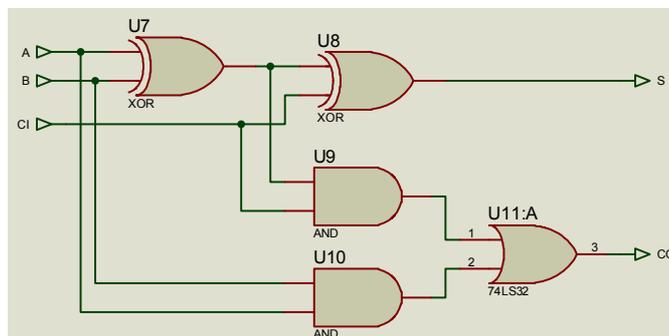


图 3-43 全加器的子电路

单击存盘符, 不用另取名字。在图形的空白区右击, 选择右键菜单中的 Exit Parent Sheet, 即返回到上层电路。

最后, 把所有元件按以上分析连接成如图 3-44 所示的系统电路。要注意四个全加器的各子电路中的元件代号, 如 U7 等, 应各不相同, 且与上层电路中元件代号亦不相同。

在图 3-44 中, 左下电阻与电路的连接采用的是网络标号形式 (R1~R12), 标有同一网络标号 (Label) 的两根线被视为连接在一起。

(4) 系统仿真。在 Proteus 中运行仿真, 使第一个开关不动作, 即选择“弃权”, 第四个开关位于下方, 即选择“No”, 其他四个开关都位于上方, 即选择“Yes”。仿真结果表明, 系统显示的票数与选择开关一致。

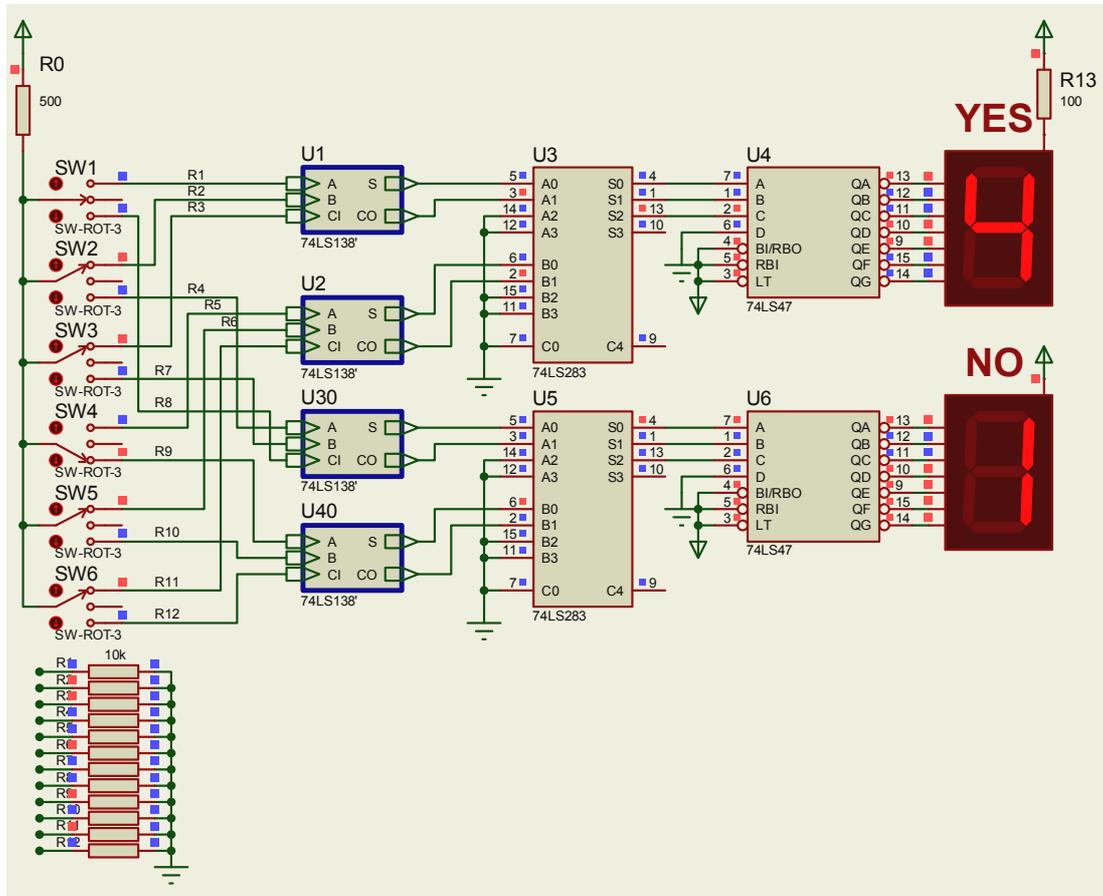


图 3-44 投票表决系统电路原理图

5. 实验报告

- (1) 设计全加器 74LS138 的层次原理图。
- (2) 打印出 Proteus 中系统原理仿真图和仿真结果。
- (3) 分析和总结设计过程。

3.6 综合型实验

3.6.1 多路显示系统设计与仿真

1. 实验目的

- 熟练掌握数据选择器、译码器和七段数码显示器的使用。
- 掌握多路数据传送和显示时的分时传送和显示电路设计技巧。

2. 实验器件

- 74LS157 (四个二选一数据选择器) 1 片
- 74LS48 (BCD—七段显示译码器) 1 片

- 74LS139 (双二一四译码器) 1 片
- 共阴极数码管 2 块

3. 预习要求

- 复习数据选择器、译码器工作原理及相应逻辑表达式。
- 复习共阴极和共阳极数码管内部结构及各段显示与对应用输入信号的关系。

4. 实验任务和步骤

设计一多路数据显示系统, 要求把两位十进制 (BCD 码) 数据从甲地传送到乙地, 并显示出来。设计的电路应尽可能少地使用元器件, 即不能多于前面第 2 步提到的实验器件数目, 并在 Proteus 中进行电路仿真, 然后在实验室进行接线和验证。

(1) 系统设计分析。此课题把组合逻辑电路中常用的数据选择器、二进制译码器、显示译码器及数码显示器综合运用在一起, 是以后其他综合电路设计中的一个基础环节。

首先看系统的输入, 两位十进制数, 用 BCD 码来表示, 共需 8 根线。因为系统只有一片显示译码器, 只能接收 4 根数据线, 故输入的 8 根线要使用四个二选一数据选择器分时传送两个 BCD 码十进制数, 如先传送个位, 再传送十位, 或相反。

74LS157 正是一个具有四个二选一功能的数据选择器, 它的每个选择器的数据输入 D0 接十进制数的个位 (四位 BCD 码), 每个数据选择器的数据输入 D1 接十进制数的十位 (四位 BCD 码), 通过 74LS157 的 G1 端置 0 或置 1 来选择四个数据选择器的 D0 或 D1 同时输送到相应的四个输出端上, 从而实现分时传送的目的。因为人的肉眼分辨率的问题, 74LS157 的 G1 端 (即四个数据选择器的公共地址) 应该是一个连续脉冲, 频率设为 30Hz 比较合适。

从数据选器输出的一位十进制数 (BCD 码), 按从低到高的依次接到显示译码器 74LS48 的 A、B、C、D 输入端上。74LS48 接改正编码信号, 输出负逻辑电平有效信号, 故它的七个输出端应接共阴极数码管。74LS48 的三个功能端都是低电平有效, 这里都接高电平, 使其不起作用。

现在考虑一个显示译码器驱动两块显示数码管问题。因为是分时传送来的数据, 所以两块显示数码管就并接在 74LS48 的输出端上。通过共阴极端来选择哪个数码管应该有效。当传送个位时, 应该点亮右边一个数码管, 使其共阴极为低电平; 当传送来的数据为十位时, 应该点亮左边一个数码管, 使其共阴极为低电平。这样就需要有一个连续脉冲信号, 来交替选中两个数码管的共阴极。这个信号的频率该与数据选择器的 G1 端信号频率一致, 且相序正好相反。故这里使用一个 74LS139 二一四译码器, 把它当作一个一线到二线译码器来使用, 把它的输入高位 B 接地, 输入低位 A 接 G1, 当 G1 为 0 时, 74LS139 的 Y0 输出为 0, 选中个位的数码管, 这时正好传送来的数是十进制数的个位; 当 G1 为 1 时, 74LS139 的 Y1 输出为 0, 选中十位的数码管, 这时正好传送来的数是十进制数的十位。这样就实现了系统原来的设计要求。

(2) 原理图设计与仿真。根据以上分析, 在 Proteus 中画出系统的原理图及仿真结果分别如图 3-45 和图 3-46 所示。要注意数码管接线时放置网络标号, 否则必须连接在一起。

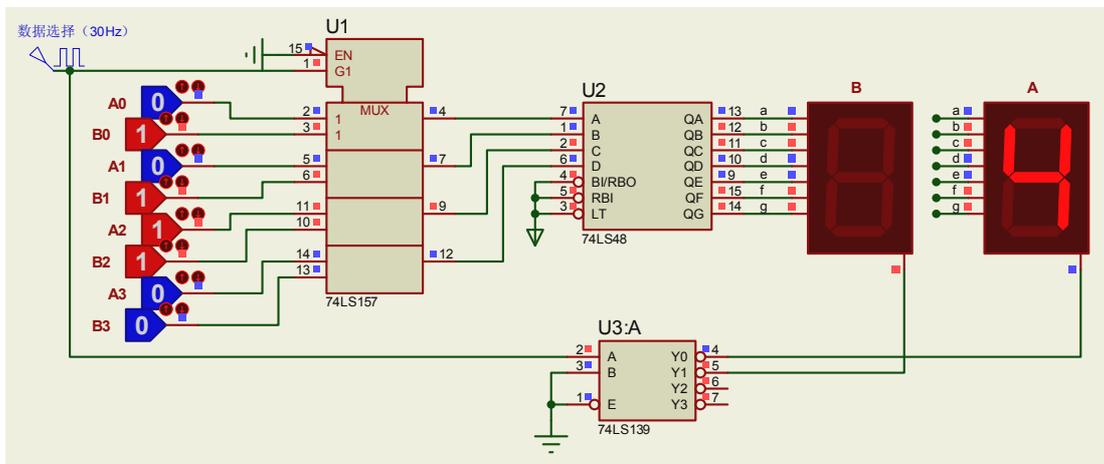


图 3-45 Proteus 中系统原理图与仿真结果（一）

在图 3-45 中，把十进制数的个位 A3、A2、A1、A0 设为 0100，十位 B3、B2、B1、B0 设为 0111，即要传送一个为 74 的十进制数。从 Proteus 的信号源中取出 DCLOCK 连续脉冲信号，如图 3-47 所示，接在 G1 端，并双击使用频率改为 30（默认为 Hz），按图接好电路。按仿真运行按钮，出现如图 3-45 所示的仿真结果。我们眼睛看到的是两个数同时显示，只是有闪烁，但其他同一时间它只显示一个位。显示完个位，显示十位，如图 3-46 所示，这样交替进行，因为频率是 30Hz，每秒钟交替显示 30 次。

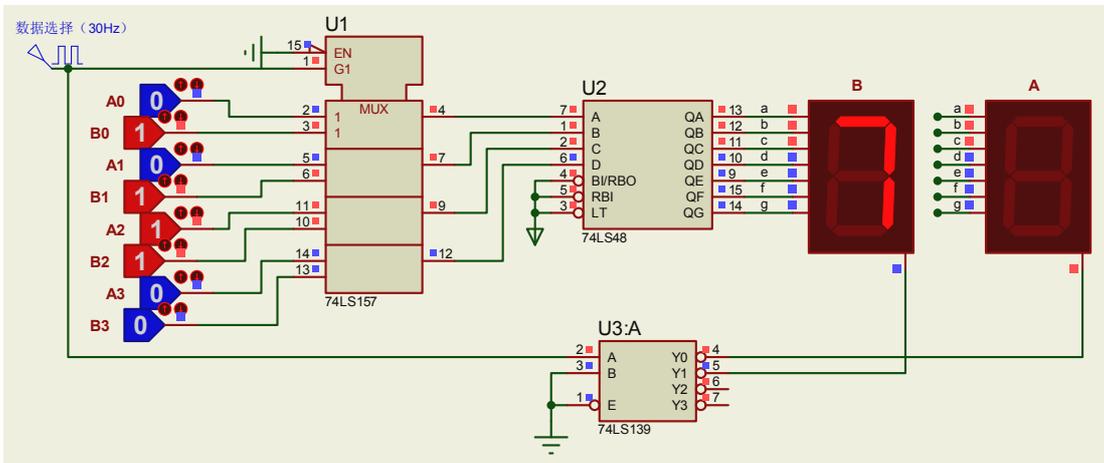


图 3-46 Proteus 中系统原理图与仿真结果（二）

(3) 实验接线与验证。在 Proteus 中得到正确仿真结果后，进实验室接线并调试，以锻炼自己的实验操作动手能力和排查电路故障的能力。

5. 实验报告

- (1) 写出系统设计分析过程。
- (2) 贴 Proteus 中系统仿真图。

- (3) 写出系统设计调试过程存在的问题及解决思路。
- (4) 总结系统设计经验。

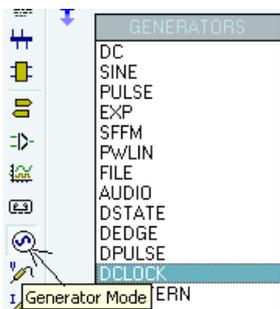


图 3-47 Proteus 中时钟信号的拾取

3.6.2 ADC0808 和 DAC0832 的应用设计与仿真

1. 实验目的

熟练掌握 ADC0808 和 DAC0832 的使用方法。

2. 实验器件

- ADC0808 (或 ADC0809) (八位模/数转换器) 1 片
- DAC0832 (数/模转换器) 1 片
- 74LS161 (16 四位二进计数器) 1 片
- LM324 (四运放) 1 片
- 滑动变阻器 (1~10k Ω) 及 200 Ω 电阻各 1 个

3. 预习要求

- 熟悉 ADC0808 (ADC0809) 及 DAC0832 的工作原理。
- 熟记 ADC0808 (ADC0809) 及 DAC0832 的引脚功能。

4. 实验内容及步骤

(1) ADC0808 功能测试与仿真。在 Proteus 中完成对模数转换器 ADC0808 功能测试，然后接线进行实际实验。照图 3-48 连线 (图中 ADC0808 元件做了左右、上下镜像处理)，把模拟输入通道 7 接一 0~5V 的可调输入电压，并接直流电压表进行测量。通道选择地址 CBA 设为 111，与所接的模拟量通道保持对应。ALE 接高电平。

转换时钟设为 100 kHz，启动转换信号 START 用一个输入逻辑状态来手动产生一个上升沿，即把该输入电平从 0 变为 1 可启动一次 A/D 转换。转换结束后，EOC 为高电平，然后手动给数据锁存信号 OE 一个高电平，则转换成的八位数据出现在 OUT1~OUT8 输出端。要注意的是，这个八位二进制数的最高位为 OUT1，最低位为 OUT8。改变电阻使电压表的读数重新转换一次，发现输出数据有了新的改变。

把模拟量改接在其他通道，改变通道地址，启动 A/D 转换器，观察数据转换过程和结果。

(2) Proteus 中 ADC0809 的应用。如果想使用 Proteus 中的 ADC0809，发现此元件没有仿真模型，但可以通过添加 ADC0808 的仿真模型来使用该元件进行电路仿真。方法是：双击

元件 ADC0808，打开元件属性对话框，在最下边一行的 Edit all properties as text 一项打“√”，然后把文本区的第二行内容 {MODFILE=ADC0808} 拷贝到 ADC0809 元件该项性能中去。这样，ADC0809 就可以仿真使用了。添加完仿真模型的 ADC0809 属性对话框如图 3-49 所示。

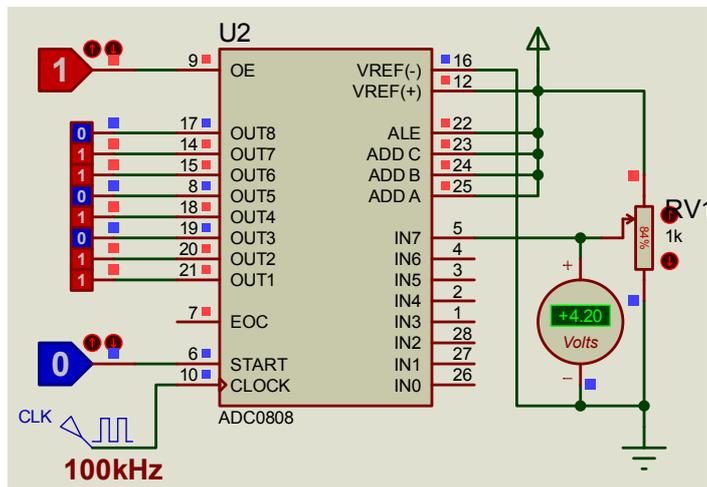


图 3-48 Proteus 中 ADC0809 功能测试仿真图

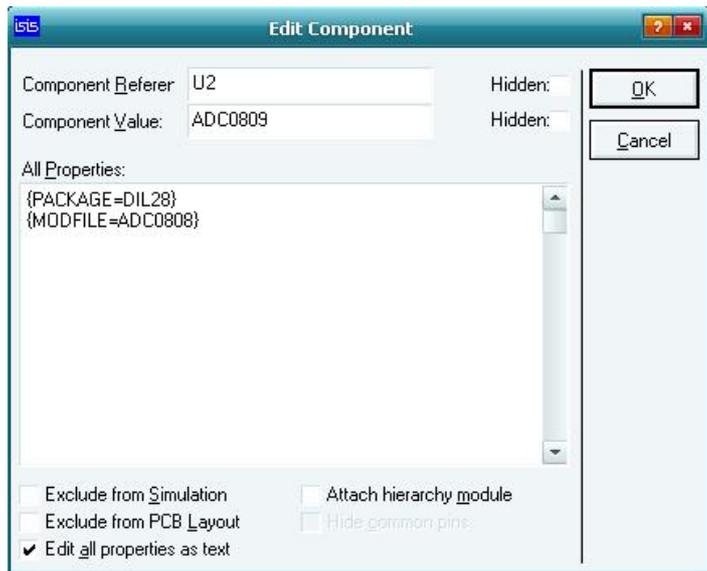


图 3-49 Proteus 中 ADC0809 仿真模型的添加

(2) DAC0832 的应用与仿真。按图 3-50 接线，图中用到两个直流电源，箭头所示为+5V 直流电压，DAC0832 的 Vcc 为+15V 直流电压。

74LS161 计数器接 1kHz 时钟，输出 Q3~Q0 为 0000~1111 循环不止。该输出接至 DAC0832 的数据输入端低四位（或高四位），注意按照高位接高位、低位接低位的顺序。DAC0832 的输出接一运算放大器，用示波器观察输出波形。因为数/模转换器的输入数据从

00000000~00001111 循环变化，输出电压成阶梯形并且循环不止。

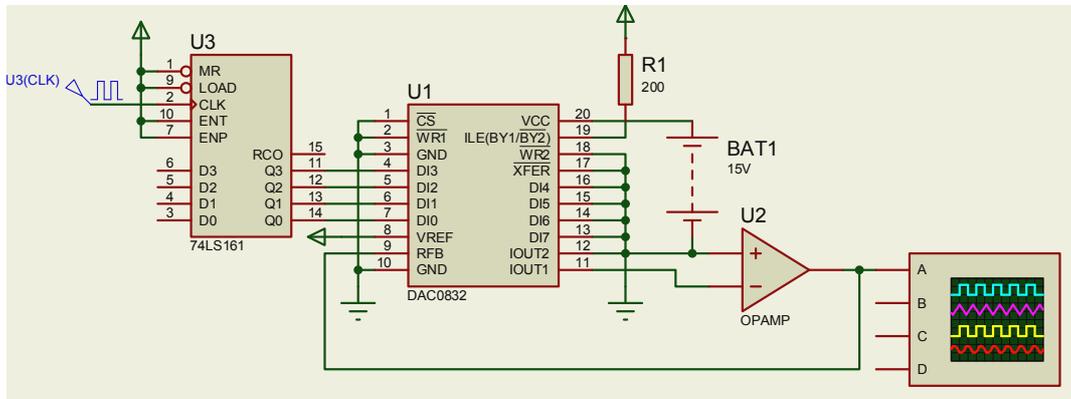


图 3-50 DAC0832 的应用电路

Proteus 中输出电压波形如图 3-51 所示。

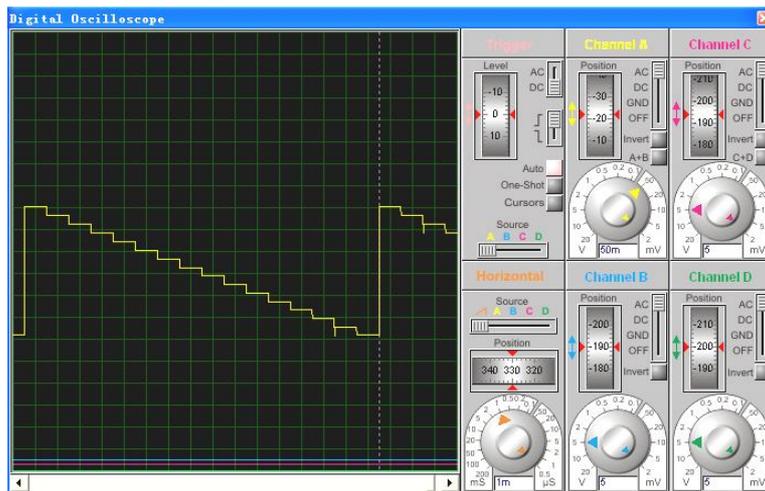


图 3-51 DAC0832 的应用电路仿真结果

5. 实验报告

- (1) 写出实验步骤。
- (2) 画出 ADC0808 的时序图。
- (3) 贴 Proteus 中系统仿真图。

3.6.3 显示译码器和数码管的应用设计与仿真

1. 实验目的

熟练掌握显示译码器和七段数码管的使用方法。

2. 实验器件

- 74LS47 3 片

- 74LS48 1 片
- 七段共阳极数码管 3 个
- 七段四位位选共阴极数码管 1 个

3. 预习要求

- 熟悉 74LS47 的工作原理。
- 熟记七段数码管的引脚功能。

4. 实验内容及步骤

(1) 74LS47 的测灯功能。74LS47 是 BCD 码到七段显示译码器，输出低电平有效，必须接共阳极七段数码管。74LS47 有七个输入端和七个输出端。七个输出端分别接数码管的 a、b、c、d、e、f、g 段；七个输入端中 D、C、B、A 接四位 BCD 码，另外三个端即 3、4、5 端是功能端，平时不用时一般都接高电平，不能悬空。这几个输入端究竟有什么用呢？先在 Proteus 中进行一个功能测试，照图 3-52 连接电路。

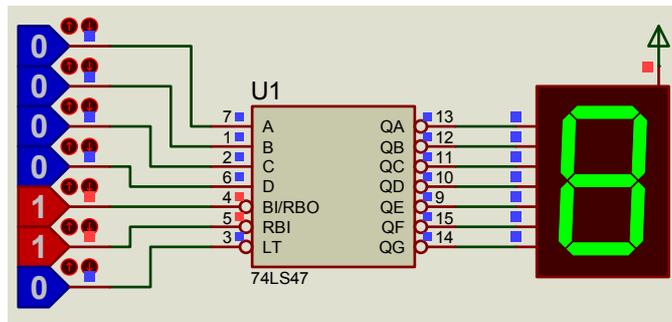


图 3-52 74LS47 功能测试

在 74LS47 的各输入端接 LOGICSTATE，先令 4、5 端为高电平，即使其引脚功能失效，令 3 端为低电平，发现此时数码管显示“8”。改变输入 BCD 码，则数码显示不改变。因此，3 端为测灯输入端 LT (Light Test)，因为数码管容易缺段，用这个端可以判断所接数码管哪个段已烧坏，对以后复杂电路功能测试和故障找寻带来方便。

(2) 74LS47 的灭零功能。74LS47 的 4、5 端是灭零输入和输出功能。即多个 74LS47 分别驱动数码管显示多位十进制数时（如共三位，最高位为百位），当百位上数为零时，此一定不能显示，再判断十位上数是否为零，如果十位上数也是零，亦不能显示，此时个位上是零可以显示。另外一种情况，当百位上不为零时，即使十位为零也必须显示。按照这个规律设计一种应用电路，如图 3-53 所示。

在图 3-53 中，百位显示译码器的灭零输入端 RBI 接地，灭零优先权最高，只要输入端的 BCD 码为零，输出端显示就灭掉；当输出端显示灭零后，在 RBO 端输出一个低电平信号，这个信号接到十位的灭零输入端 RBI 上，即十位的灭零优先权是建立在百位灭零的基础上的。个位不能灭零，故 RBI 端接高电平。

仿真效果如图 3-54 所示，电路接好后，灭不灭零是自动的。

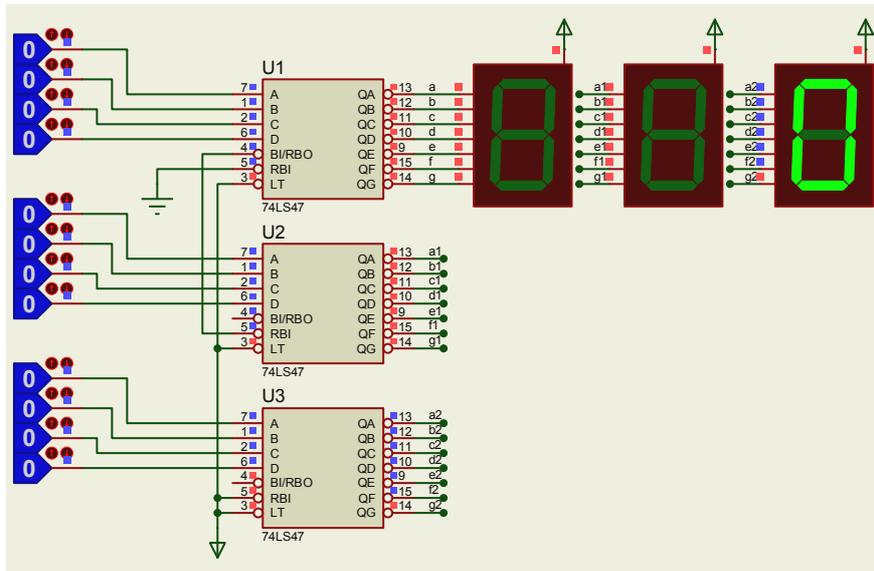
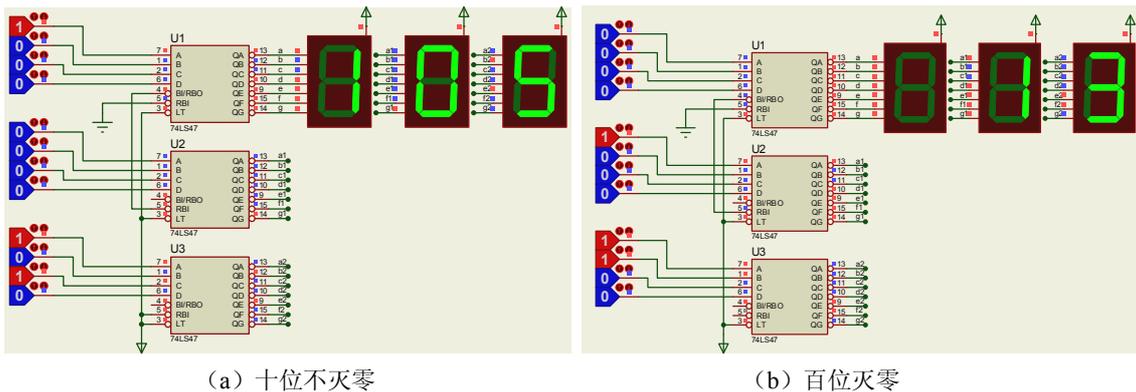


图 3-53 74LS47 灭零功能应用电路



(a) 十位不灭零

(b) 百位灭零

图 3-54 74LS47 灭零仿真结果

(3) 七段四位位选共阴极数码管的应用。为了节省电路接线，数码管通常做成几位共段码数据线的形式。比如，四位共阴极数位选数码管用来显示一个四位十进制数。这四位十进制 BCD 码分时由 74LS48（驱动共阴极数码管）的输入端供给，传送哪一位数，对应的位选信号（即四个共阴极双端）应选通，即为低电平。只要时间配合无误，即可分别在不同的位上显示不同的数据，一般数据和位选信号的扫描频率设在 30Hz 以上，人的肉眼不能分辨出显示间隔，即可以看到四位数据同时在显示。图 3-55 为七段四位位选共阴极数码管的测试电路。

电路中，数据码的 DP 引脚为每个数码管的小数点，需要显示时可单独控制，一般不从显示器上接。

根据以上步骤和分析，自己设计一种灭零显示电路和七段位选数显示电路，写出实验步骤，画出实验仿真图，并验证仿真效果。

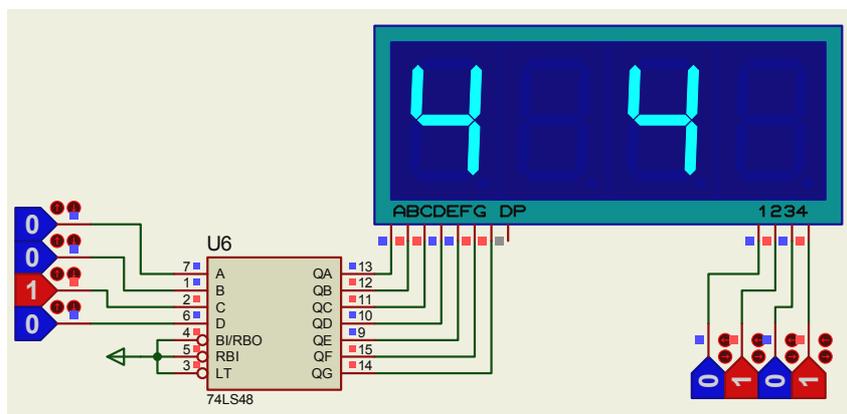


图 3-55 七段四位位选共阴极数码管的应用电路

5. 实验报告

- (1) 写出自行设计的灭零电路和七段位选数显电路实验步骤。
- (2) 贴 Proteus 中系统电路图及仿真结果。